

Examen final – INF4170 – Hiver 2011
35% de la note finale
27 avril 2011 13h30 à 16h30

Aucune documentation n'est permise. Répondez dans le cahier fourni à cet effet.

Annexe A : Processeur multi-cycles

Annexe B : Processeur avec pipeline (sans gestion des aléas)

Annexe C : Processeur avec pipeline (avec gestion des aléas)

Question #1 – 10%

Dans le processeur multi-cycles (Annexe A), à quoi servent les registres A, B, Memory data register, ALUOut, Instruction register et PC?

Question #2 – 5%

Certaines instructions nécessitent de faire deux accès à la mémoire (lw et sw par exemple). S'il doit faire deux accès à la mémoire et qu'il ne possède qu'une seule unité d'accès à la mémoire, comment le processeur multi-cycles (Annexe A) parvient-il à compléter les deux accès à la mémoire dans l'exécution d'une même instruction?

Question #3 – 10%

Décrivez ce qui est fait dans chacune des 5 étapes du processeur avec pipeline sans gestion des aléas (Annexe B).

Question #4 – 10%

Quelles modifications ont été apportées au circuit du processeur avec pipeline (avec gestion des aléas – Annexe C) afin d'être en mesure de compléter une instruction beq en seulement 2 cycles?

Question #5 – 10%

Décrivez en détail l'utilité et le fonctionnement du forwarding unit du processeur avec pipeline avec gestion des aléas (Annexe C).

Question #6 – 10%

Décrivez un scénario dans lequel une cache de type « direct-mapped cache » est plus efficace qu'une cache de type « fully associative ». Ensuite, décrivez un scénario dans lequel une cache de type « fully associative » est plus efficace qu'une cache de type « direct-mapped cache ».

Question #7 – 5%

À quoi sert le bit de saleté pour un enregistrement dans une cache? Dans quel cas peut-on se retrouver avec une cache qui ne possède pas ce bit?

Question #8 – 5%

Malgré le concept de localité spatiale, il se peut qu'en augmentant la taille des blocs dans une cache, que l'on se retrouve à augmenter également le taux d'échecs (miss rate) de la cache. Expliquez ce phénomène.

Question #9 – 10%

Comment est-il possible d'avoir 4 fois plus de pages virtuelles que de pages physiques sachant que les adresses virtuelles sont encodées sur 32 bits?

Question #10 – 5%

Quelle est la relation entre le « translation-lookaside buffer » (TLB) et la « page table? »

Question #11 – 10%

Quelle est la différence entre un multiprocesseur et un cluster?

Question #12 – 10%

Expliquez comment la mémoire virtuelle permet de protéger l'espace mémoire des autres processus qui s'exécutent sur la machine.