

Nom, prénom :

Code permanent :

Répondez directement sur le questionnaire. Aucune documentation n'est permise.

Question #1 – 9%

Quelle est la différence entre le parallélisme au niveau des instructions (*instruction-level parallelism*) et le parallélisme au niveau des threads (*thread-level parallelism*)?

.....

.....

.....

.....

.....

.....

.....

.....

.....

Question #2 – 9%

Le *dynamic pipeline scheduling* est une technique permettant à un processeur superscalaire de modifier l'ordre d'exécution des instructions. Pourquoi une telle pratique est-elle nécessaire?

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

Question #3 – 9%

Quels sont les avantages et les inconvénients d'utiliser un bus pour la communication entre les différents composants d'un ordinateur?

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

Question #4 – 9%

Comment le multicore parvient-il à atténuer certains des problèmes de dissipation de la chaleur dans une puce?

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

Question #5 – 13%

Indiquez l'utilité de chacun des bits de contrôle du processeur multi-cycles (Annexe A).

PCWriteCond :

.....

PCWrite :

.....

IorD :

.....

MemRead :

.....

MemWrite :

.....

MemtoReg :

.....

IRWrite :

PCSource :

ALUOp :

ALUSrcB :

ALUSrcA :

RegWrite :

RegDst :

Question #6 – 15%

Pour chaque instruction, indiquez le nombre de cycles nécessaires pour compléter l'instruction pour chaque type de processeur.

Instruction	Processeur à un cycle (D)	Processeur multi-cycles (A)	Processeur avec pipeline (B)
add			
beq			
lw			
sw			
addi			

Question #7 – 9%

Quel est le rôle du Hazard detection unit dans le circuit du processeur avec pipeline (avec gestion des aléas – Annexe C)?

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

Question #8 – 9%

Expliquez ce qu'est un aléas de données et un aléas de contrôle.

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

Question #9 – 9%

Lors d'une lecture en mémoire, le meilleur scénario possible est que la donnée voulue soit déjà disponible dans la cache du processeur. Quel serait le pire scénario possible (plusieurs milliers de cycles d'horloge)?

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

Question #10 – 9%

Malgré le concept de localité spatiale, il se peut qu'en augmentant la taille des blocs dans une cache, que l'on se retrouve à augmenter également le taux d'échecs (*miss rate*) de la cache. Expliquez ce phénomène.

.....

.....

.....

.....

.....

.....

.....

.....