

Nom, prénom :

Code permanent :

Répondez directement sur le questionnaire. Les réponses doivent tenir sur les lignes tracées.

Question 1 – 8%

Un *solid-state drive* est beaucoup plus rapide qu'un disque magnétique. Comment expliquez-vous cette différence?

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

Question 2 – 8%

Un bus est composé de lignes de contrôle et de lignes de données. Quel type d'information est véhiculé sur les lignes de contrôle?

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

Question 3 – 8%

Qu'est-ce qu'une interruption?

.....

.....

.....

.....

.....

.....

.....

.....

Question 4 – 8%

Décrivez les deux types d'aléas qui peuvent survenir avec un processeur MIPS avec pipeline. Dans quel contexte surviennent-ils?

.....

.....

.....

.....

.....

.....

.....

.....

Question 5 – 9%

Pourquoi un processeur superscalaire avec pipeline augmente-t-il les risques d'aléas? Décrivez la technique utilisée pour éviter ces aléas.

.....

.....

.....

.....

.....

.....

.....

.....

.....

Question 6 – 8%

Qu'est-ce que le bruit thermique? Quel est son effet sur le processeur?

.....

.....

.....

.....

.....

.....

.....

.....

Question 7 – 8%

Est-ce qu'un processeur *multi-core* améliore le temps d'exécution d'une application *single-thread*?
Pourquoi?

.....

.....

.....

.....

.....

.....

.....

.....

Question 8 – 8%

Expliquez les concepts de localité spatiale et temporelle qui justifie la présence d'une cache dans un processeur.

.....

.....

.....

.....

.....

.....

.....

.....

Question 9 – 9%

Si l'on compare le chemin de données du processeur avec pipeline avec gestion des aléas avec celui du processeur avec pipeline sans gestion des aléas, on peut constater que l'additionneur de la 3ème étape du processeur avec pipeline sans gestion des aléas a été déplacé à la 2ème étape du processeur avec pipeline avec gestion des aléas. Pourquoi ce déplacement a-t-il été effectué et quelle est l'impact de ce déplacement?

.....

.....

.....

.....

.....

.....

.....

.....

.....

Question 10 – 8%

Comment le processeur arrive-t-il à accéder à la *page table* d'un processus si la *page table* est en mémoire?

.....

.....

.....

.....

.....

.....

.....

.....

.....

Question 11 – 9%

Certaines instructions nécessitent de faire deux accès à la mémoire (lw et sw par exemple). S'il doit faire deux accès à la mémoire et qu'il ne possède qu'une seule unité d'accès à la mémoire, comment le processeur multi-cycles parvient-il à compléter les deux accès à la mémoire dans l'exécution d'une même instruction?

.....

.....

.....

.....

.....

.....

.....

.....

.....

Question 12 – 9%

Décrivez en détail l'utilité et le fonctionnement du *forwarding unit* du processeur avec pipeline avec gestion des aléas.

.....

.....

.....

.....

.....

.....

.....

.....