

Identification

Nom, prénom :

Code permanent :

Cours

INF4170 – Architecture des ordinateurs

Hiver 2016, groupe 50

Examen final

Directives

- Identifiez le cahier de réponses.
- Placez une pièce d'identité avec photo, préférablement la carte étudiante de l'UQAM, sur le bureau. Présentez la carte au surveillant lors de la remise du cahier de réponses.
- Aucune documentation permise, seul un dictionnaire est autorisé.
- Fermez votre sonnerie de téléphone. Un contact avec votre téléphone ou tout autre dispositif électronique durant l'examen entraînera une expulsion.
- Vous n'êtes pas tenu d'utiliser toutes les lignes mises à votre disposition. Par contre, votre réponse ne doit pas dépasser les lignes.

Question #1 – 15%

Considérant les spécifications de la mémoire cache suivante et l'état de la mémoire initiale en annexe, indiquez l'état final du cache après une série d'opérations.

Spécifications

Direct-Mapped Cache
4 blocs de 2 mots chacun
Algorithme d'écriture Write-Back

Opérations

```
LW 0x10000030  
LW 0x10000058  
LW 0x10000010  
SW 0x10000024, 0x01230123  
LW 0x10000044  
LW 0x1000003C  
SW 0x10000058, 0x89898989  
LW 0x10000038  
LW 0x10000044  
LW 0x10000018
```

Index	Validité	Saleté	Étiquette	Mot #1	Mot #2
00					
01					
10					
11					

Question #2 – 15%

Considérant les spécifications de la mémoire cache suivante et l'état de la mémoire initiale en annexe, indiquez l'état final du cache après une série d'opérations.

Spécifications

Fully-Associative Cache

4 blocs de 4 mots chacun

Algorithme d'écriture Write-Through

Algorithme de sélection de bloc : Tant qu'il y a des blocs invalides, on prend le premier bloc invalide (de haut en bas), ensuite on utilise l'algorithme LRU.

Opérations

```
LW 0x10000034
LW 0x1000005C
LW 0x10000014
SW 0x10000028, 0x01230100
LW 0x10000044
LW 0x1000005C
SW 0x10000058, 0x89898989
SW 0x10000024, 0xCCCCCCCC
LW 0x10000048
LW 0x1000005C
SW 0x10000048, 0x55555555
```

<u>Validité</u>	<u>Adresse</u>	<u>Mot #1</u>	<u>Mot #2</u>	<u>Mot #3</u>	<u>Mot #4</u>

Question #3 – 10%

Considérant les instructions suivantes :

```
lw $s0, 0($t0)
addi $s1, $zero, 16
add $t1, $s0, $s1
lw $s0, 16($t1)
sub $t2, $s0, $t1
sw $t2, 16($t1)
beq $s1, $s1, etiq
lw $t3, 0($s1)
add $t4, $s0, $s1
eti:sw $s0, 0($t1)
lw $t5, 0($s1)
add $s0, $t5, $s1
addi $s1, $zero, 45
sub $s2, $s1, $s0
beq $s2, $s1, etiq
```

Indiquez l'état du pipeline (avec gestion des aléas) après chacun des 15 premiers cycles d'exécution de ce programme.

Cycle	IF	ID	EX	MEM	WB
1					
2					
3					
4					
5					
6					
7					
8					
9					
10					
11					
12					
13					
14					
15					

Question #4 – 10%

Expliquez comment les concepts de localité spatiale et temporelle sont exploités par une hiérarchie de mémoire à 3 niveaux.

.....

.....

.....

.....

.....

.....

.....

.....

Question #5 – 10%

Comment un processeur superscalaire arrive-t-il à réduire les problèmes d'aléas de données?

.....

.....

.....

.....

.....

.....

.....

.....

Question #6 – 10%

Expliquez le fonctionnement du *forwarding* et son impact sur le processeur avec pipeline.

.....

.....

.....

.....

.....

.....

.....

.....

Question #7 – 10%

Le processeur multi-cycles est plus économique à produire que le processeur avec pipeline mais il est également moins performant. Pourquoi?

.....

.....

.....

.....

.....

.....

.....

.....

Question #8 – 10%

Quelle est la différence entre le parallélisme au niveau des instructions (*instruction-level parallelism*) et le parallélisme au niveau des threads (*thread-level parallelism*)? Quel type de processeur permet d'exploiter ces deux concepts simultanément?

.....

.....

.....

.....

.....

.....

.....

.....

.....

Question #9 – 10%

Comment le multi-core parvient-il à atténuer certains des problèmes de dissipation de la chaleur dans une puce?

.....

.....

.....

.....

.....

.....

.....

.....